

디지털시스템설계 정오표 [첨문각]

면수	위치	수정 전	수정 후
138	첫 줄	S	a xor b
138	위에서 8줄 10줄 11줄	n1 S n2 n3	s1 s1 s2 s3
167	위 첫줄	sum1, c1, c2, c3	sum1, temp_c1, temp_c2, temp_c3
175	아래에서 8줄	~IEEE_1164에 의해 제정하여~	라이브러리 IEEE에서 std_logic_1164 패키지로 표준화하여 쓰여지고 있다.
176	형식 2-4에 위에서 16줄	~ 값의 ~	~ 값의 ~
204	예제 6-1	entity use	(파랑글씨로)
213	예문 6-15	5행, 6행을	7행, 8행을
224	예문 6-25	transport	(삭제)
229	예문 6-27	when~else문의 활용	with~select문의 활용
229	예문 6-27	a(1) 0 0 0 0	a(1) 0 0 1 1
234	그림 6-18	a, b, std_logic, z, std_logic	(검정색으로) (글씨 명료하게)
237	형식 6-11	변수	변수명
237	예문 6-32, 3번 줄	y	(검정색으로)
“	“	vectro	vector
“	6번 줄	is	(파랑색으로)
239	예문 6-33, 5번 줄	if, generate	(파랑색으로)
259	예제 7-1	is	(파랑색으로)
260	7, 8, 11줄	begin, return, begin	(파랑색으로)
261	예문 7-9에서 2,3,6,8줄	x, y, c	x1, y1, temp_z
“	예문 7-9에서 10줄	x, y	temp_z, c1
“	예문 7-9에서 12줄	x or y	temp_z nor c1